

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-248240

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月6日

G 06 F 12/02  
9/34  
12/02

5 2 0  
5 8 0

8841-5B  
7927-5B

G 06 F 9/36 3 3 0 B

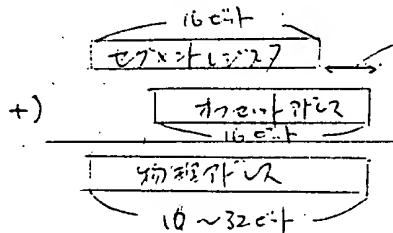
審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特 願 平2-46087

⑯ 出 願 平2(1990)2月26日

⑰ 発 明 者 荻 井 里 佳 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 発 明 者 三 浦 勝 己 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 内 原 晋



このシフト幅と変化するメモリ・アドレス空間の大きさ  
変化するメモリ・アドレス。  
0~16ビットシフト ⇔ 64KB~4GB

実施例：シフト幅は 0/4/8 のビット  
シフト幅に応じてメモリ・アドレス空間が変化する。

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

命令コードを入力しデコードした結果所定の命令の動作の一部を変更する機能を有する修飾命令である場合に修飾制御情報を出力する修飾制御手段と、前記制御記憶情報を検知すると所定のレジスタを選択するためのレジスタ指定情報を出力すると共に該レジスタ指定情報に従って読み出されたレジスタの値をシフトするビット量を与えるシフト情報を出力するレジスタ制御手段と、命令コードの一部に含まれる値または命令コードで指定されるレジスタに格納されている値または演算処理部の生成する値と前記シフト情報によってシフトした値とを加算しメモリのアドレスを生成するアドレス生成手段とを有することを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

メモリのアドレッシングにセグメント方式を採用したマイクロコンピュータに関する。

(従来の技術)

マイクロコンピュータ(以下、マイコンという)には、アクセスするメモリのアドレスを生成するためにセグメント方式をとるものがある。

セグメント方式とは、アドレスがメモリ空間を分割する任意のサイズからなる複数の論理セグメントの開始アドレスであるセグメント値と、このセグメント開始アドレスからのオフセット分を示すオフセット値とからなり、メモリをアクセスする場合にセグメント値とオフセット値とを任意のビット数ずらして加算した値をアドレスとするものである。加算した値を物理アドレスと呼び、オフセット値をオフセット・アドレスと呼ぶ。例えば、1Mバイトのメモリ空間を64Kバイトからなる複数の論理セグメントに分割した場合、セグメント値とオフセット値がそれぞれ16ビットか

ら成っているとすると、セグメント値を4ビットずらしてオフセット値と加算し物理アドレスを得るものである。

また、マイコンの有する命令セットにプリフィクス命令を含むものがある。プリフィクス命令は、演算命令や転送命令に前置することにより、命令の基本動作の一部を変更するための、いわば修飾命令である。例えば、メモリとレジスタ間のデータ転送命令において、メモリアドレスのセグメント値を置き換える所定のレジスタ(セグメント・レジスタ)を別のセグメント・レジスタで与えるためにプリフィクス命令(セグメント・オーバーライド・プリフィクス命令)が設定される。

ここで対象とするマイコンは、セグメント方式を採用し、セグメント・オーバーライド・プリフィクス命令を備えるものとする。

第3図は、セグメント方式を採用した従来のマイコン300である。ここで、第3図のマイコン300の構成を述べる。

マイコン300は、内部の各ユニットから出力

するためにBCU110に接続している外部バス170とを有している。

また、マイクロシーケンサ部340は、マイクロプログラム制御方式によりマイコン300内の各ユニットに制御信号を出力するマイクロプログラム制御部141と、マイクロプログラム制御部141から後述するレジスタ選択部343に出力されるレジスタ参照指示情報141-1、BCU110に出力されるBCU制御情報141-2、演算部120に出力される演算部制御情報141-3、PAU350に出力されるPA計算実行信号141-4等の制御信号と、BCU110から読み出した命令コードがプリフィクス命令である場合にプリフィクス制御を行うプリフィクス制御部142と、プリフィクス制御部142に読み込まれたプリフィクス命令がセグメント・オーバーライド・プリフィクス命令である場合にプリフィクス制御部142から出力されるセグメント・オーバーライド・プリフィクス信号142-1と、セグメント・オーバーライド・プリフィクス信号142-1

される制御信号を受信しバスの制御を行うバス制御部(以下、BCUと略す)110と、BCU110のバス制御により不図示のメモリからBCU110内に読み込まれた命令コードを読み出しマイクロプログラム制御方式で内部の各ユニットの処理動作を制御するマイクロシーケンサ部340と、マイクロシーケンサ部340から出力される演算部制御情報141-3に基づきオフセット・アドレスの計算を含む種々の演算を行う演算部120と、マイクロシーケンサ部340から出力されるPA計算実行信号141-4により演算部120で計算されたオフセット・アドレスを物理アドレスに変換計算(PA計算)しBCU110に出力する物理アドレス計算部(以下、PAUと略す)350と、マイクロシーケンサ部340から出力されるレジスタ指定情報343-1によりレジスタの内容の読み出し、書き込み等が行われるレジスタ・ファイル130と、BCU110、演算部120、レジスタ・ファイル130、PAU350を接続している内部バス160と、外部と内部とを接続

とマイクロプログラム制御部141から出力されるレジスタ参照指示情報141-1とBCU110から読み出される命令コードとを基にレジスタの選択を行うレジスタ選択部343と、レジスタ選択部343からレジスタ・ファイル130に出力されるレジスタ指定情報343-1とを備えている。

また、PAU350は、内部バス160を介して演算部120から出力されるオフセット・アドレスを読み込みラッチするオフセット・アドレス・ラッチ351と、レジスタ選択部343が出力するレジスタ指定情報343-1により内部バス160を介してレジスタ・ファイル130から出力されるセグメント・レジスタの内容を読み込みラッチするセグメント・アドレス・ラッチ352と、マイクロプログラム制御部141から出力されるPA計算実行信号141-4に従いオフセット・アドレス・ラッチ351の内容とセグメント・アドレス・ラッチ352の内容を加算し物理アドレスを生成、出力(PA計算処理)するPA計算処理部353とにより構成されている。

次に、従来のセグメント方式によるセグメント・オーバーライド・プリフィクス命令を付随したメモリ操作命令によるメモリ空間へのアクセスの処理動作を第3図、第9図、第12図を用いて説明する。

なお、メモリ空間は1Mバイトとし、セグメント方式の採用においてセグメント・アドレス、オフセット・アドレスは共に16ビット、物理アドレスは20ビットとして説明する。

BCU110のバス制御により読み込まれたセグメント・オーバーライド・プリフィクス命令を付随するメモリ操作命令は、マイクロシーケンサ部340内に読み込まれる。

次に、プリフィクス制御部142は、読み込まれた命令にセグメント・オーバーライド・プリフィクス命令があるため、セグメント・オーバーライド・プリフィクス信号142-1をレジスタ選択部343に出力する。

一方、マイクロプログラム制御部141は、メモリ操作命令の制御を行うためにレジスタ選択部

343にレジスタ参照指示情報141-1を出力する。レジスタ選択部343は、セグメント・オーバーライド・プリフィクス信号142-1とレジスタ参照指示情報141-1と、セグメント・オーバーライド・プリフィクス命令の命令コードとを基に、所定のセグメント・レジスタを選択しレジスタ・ファイル130にレジスタ指定情報343-1を出力する。これにより、レジスタ・ファイル130からは所定のセグメント・レジスタの内容、つまりセグメント・アドレスが読み出され、内部バス160を介してPAU350内のセグメント・アドレス・ラッチ352にラッチされる。

一方、演算部120は、マイクロシーケンサ部340内のマイクロプログラム制御部141が出力する演算部制御情報141-3により、BCU110内に読み込まれた命令コードの一部を基にオフセット・アドレスを計算する。PAU350内のオフセット・アドレス・ラッチ351は、演算部120で生成され出力されるオフセット・アドレスを内部バス160を介して読み込みラッチ

する。

次に、PAU350内のPA計算処理部353は、マイクロプログラム制御部141から出力されるPA計算実行信号141-4を受信することにより、セグメント・アドレス・ラッチ352から出力されるセグメント・アドレスと、オフセット・アドレス・ラッチ351から出力されるオフセット・アドレスとに対し、物理アドレスを生成すべくPA計算処理を行い、BCU110に出力する。このPA計算処理部353のPA計算処理は、第9図、第12図に示すように、16ビットのセグメント・アドレスの下位に'0000'(4ビット)を付加し20ビットとし、16ビットのオフセット・アドレスの上位に'0000'(4ビット)を付加し20ビットとして加算し、20ビットの物理アドレスを生成するものである。

BCU110はこの物理アドレスを基にメモリに対してアクセスを行う。

このように、1Mバイトのメモリ空間のアクセスにおいて、第9図に示すようにセグメント・ア

ドレスを4ビットずらしてオフセット・アドレスと加算し、20ビットの物理アドレスを生成する。

ここでは1Mバイトのメモリ空間のアクセスについて述べたが、セグメント・アドレスとオフセット・アドレスを加算する際にセグメント・アドレスをずらすビット数の取り方により、アクセス可能な最大メモリ空間のサイズが変化する。例えば、第5図に示すようにセグメント・アドレスを8ビットずらしてオフセット・アドレスと加算し、24ビットの物理アドレスを生成すると、最大16Mバイトのメモリ空間を可能となる。

#### 〔発明が解決しようとする課題〕

上述したように、従来のセグメント方式を採用したマイコンには、セグメント・アドレスとオフセット・アドレスを固定のビット数分だけずらして加算した結果を物理アドレスとして生成しているが、ずらすビット数を固定にしているため、最大メモリ空間のサイズも固定となる。よって、より大きなメモリ空間を必要とするシステムには使用できないという問題点がある。

## 【課題を解決するための手段】

本発明によるマイクロコンピュータは、命令コードを入力しデコードした結果所定の命令の動作の一部を変更する機能を有する修飾命令である場合に修飾制御情報を出力する修飾制御手段と、前記制御記憶情報を検知すると所定のレジスタを選択するためのレジスタ指定情報を出力すると共に該レジスタ指定情報に従って読み出されたレジスタの値をシフトするビット量を与えるシフト情報を出力するレジスタ制御手段と、命令コードの一部に含まれる値または命令コードで指定されるレジスタに格納されている値または演算処理部の生成する値と前記シフト情報によってシフトした値とを加算しメモリのアドレスを生成するアドレス生成手段とを有することを特徴とする。

## 【実施例】

本発明の一実施例を説明する。

本実施例では、16Mバイトのメモリ空間の内下位1Mバイトのアクセスにのみ有効なセグメント・レジスタと、16Mバイトの空間全てに有効

の演算を行う演算部120と、マイクロシーケンサ部140内から出力されるPA計算実行信号141-4とセグメント・アドレス・セレクト信号143-1によりオフセット・アドレスを物理アドレスに変換計算(PA計算)するPAU150と、マイクロシーケンサ部140から出力されるレジスタ指定情報143-2によりレジスタの内容の読み出し、書き込みが行われるレジスタ・ファイル130と、BCU110、演算部120、レジスタ・ファイル130、PAU150を接続している内部バス160と、外部と内部とを接続するためにBCU110に接続している外部バス170とを有している。

また、マイクロシーケンサ部140は、マイクロプログラム制御方式によりマイコン100内の各ユニットに制御信号を出力するマイクロプログラム制御部141と、マイクロプログラム制御部141から後述するレジスタ選択部143に出力されるレジスタ参照指示情報141-1、BCU110に出力されるBCU制御情報141-2、

なセグメント・レジスタとの2種類のセグメント・レジスタを有するものである。

第1図は、セグメント方式を採用し、前述したような2種類のセグメント・レジスタを備えた、本実施例のマイコン100である。

ここでは、上述した1Mバイト空間のアクセスにのみ有効なセグメント・レジスタをセグメント・レジスタA、16Mバイト空間全てのアクセスに有効なセグメント・レジスタをセグメント・レジスタBとして説明する。

ここで、第1図の構成を述べる。

マイコン100は、内部の各ユニットから出力される制御信号を受信しバスの制御を行うBCU110と、BCU110のバス制御により不図示のメモリからBCU110内に読み込まれた命令コードを読み出しマイクロプログラム制御方式で内部の各ユニットの処理動作を制御するマイクロシーケンサ部140と、マイクロシーケンサ部140から出力される演算部制御情報141-3に基づきオフセット・アドレスの計算を含む種々

演算部120に出力される演算部制御情報141-3、PAU150に出力されるPA計算実行信号141-4等の制御信号と、BCU110から読み出した命令コードがプリフィクス命令である場合にプリフィクス制御を行うプリフィクス制御部142と、プリフィクス制御部142に読み込まれたプリフィクス命令がセグメント・オーバーライド・プリフィクス命令である場合に出力されるセグメント・オーバーライド・プリフィクス信号142-1と、セグメント・オーバーライド・プリフィクス信号142-1とマイクロプログラム制御部141から出力されるレジスタ参照指示情報141-1とBCU110から読み出される命令コードを基にレジスタの選択を行うレジスタ選択部143と、レジスタ選択部143からレジスタ・ファイル130に出力されるレジスタ指定情報143-1と、レジスタ選択部143からPAU150に出力されるセグメント・アドレス・セレクト信号143-2とを備えている。

また、PAU150は、内部バス160を介し

て演算部120から出力されるオフセット・アドレスを読み込みラッチするオフセット・アドレス・ラッチ151と、レジスタ選択部143が出力するレジスタ指定情報143-1により内部バス160を介してレジスタ・ファイル130から出力されるセグメント・レジスタの内容を読み込みラッチするセグメント・アドレス・ラッチ152と、セグメント・アドレス・セレクト信号143-2によりセグメント・アドレス・ラッチ152から出力される内容の構成を変えて出力するセレクター154と、マイクロプログラム制御部141から出力されるPA計算実行信号141-4に従いセレクター154から出力される値とオフセット・アドレス・ラッチ151の内容とを加算し物理アドレスを生成、出力(PA計算処理)するPA計算処理部153とにより構成されている。

次に、本実施例におけるセグメント・レジスタAを使用したセグメント・オーバーライド・プリフィクス命令を付随したメモリ操作命令によるメモリ空間へのアクセスと、セグメント・レジスタ

る処理動作を述べる。

PAU150内のオフセット・アドレス・ラッチ151とセグメント・アドレス・ラッチ152は、従来と同様にそれぞれオフセット・アドレス、セグメント・アドレスをラッチする。

次に、セグメント・アドレス・ラッチ152にラッチされたセグメント・アドレスは、セレクター154に出力される。セレクター154では、第10図に示すようにセグメント・アドレス・セレクト信号143-2 = '0'であるために、セグメント・アドレスの上位に'0000'(4ビット)を付加した20ビットの値(第10図の④)が選択されPA計算処理部153に出力される。これによりPA計算処理部153は、マイクロプログラム制御部141から出力されるPA計算実行信号141-4に従い、セレクター154から出力される20ビットの内容と、オフセット・アドレス・ラッチ152から出力されるオフセット・アドレスとを第4図に示すように4ビットずらして加算し物理アドレスを生成して、BCU

Bを使用したセグメント・オーバーライド・プリフィクス命令を付随したメモリ操作命令によるメモリ空間へのアクセスの処理動作を説明する。なお、本実施例においては、セグメント・アドレスは16ビット、オフセット・アドレスは16ビット、物理アドレスは24ビットとして説明する。

まず、セグメント・レジスタAを使用した場合について、第1図、第4図、第10図を用いて説明する。

本実施例におけるセグメント・レジスタAを使用したメモリ空間へのアクセスの処理動作で従来例の場合と異なる点は、レジスタ選択部143はレジスタ・ファイル130に対してレジスタ指定情報143-1を出力し、更に、PAU150内のセレクター154に対しセグメント・アドレス・セレクト信号143-2 = '0'を所定の期間出力し、PAU150における物理アドレスを生成する処理動作がこのセグメント・アドレス・セレクト信号143-2に基づいて行われるという点である。

以下に、PAU150の物理アドレスを生成す

110に対し出力する。

次に、セグメント・レジスタBを使用した場合について、第1図、第5図、第10図を用いて説明する。

本実施例におけるセグメント・レジスタBを使用したメモリ空間へのアクセスの処理動作でセグメント・レジスタAを使用した場合と異なる点は、以下の様な点である。

レジスタ選択部143は、セレクター154に対してセグメント・アドレス・セレクト信号143-2 = '1'を出力する。これにより、セレクター154では、第10図に示すようにセグメント・アドレスの下位に'0000'(4ビット)を付加した20ビットの値(第10図の⑤)が選択されPA計算処理部153に出力される。PA計算処理部153は、セレクター154から出力される20ビットの内容と、オフセット・アドレス・ラッチ152から出力されるオフセット・アドレスを第5図に示すように8ビットずらして加算し物理アドレスを生成して、BCU110に対し出

力する。

上述したように本実施例のマイコンは、1 Mバイトのメモリ空間、16 Mバイトのメモリ空間のメモリ空間と、それぞれに対応したセグメント・レジスタ、セグメント・オーバーライド・プリフィクス命令を有する。

次に、本発明の他の実施例を説明する。本実施例では前の実施例と同じく、セグメント方式を採用しているものである。更に、アドレス0番地から1 Mバイトまでのメモリ空間をアクセスするのに有効なセグメント・レジスタ、アドレス0番地から16 Mバイトまでのメモリ空間をアクセスするのに有効なセグメント・レジスタ、アドレス0番地から256 Mバイトまでのメモリ空間をアクセスするのに有効なセグメント・レジスタ、…等の複数種のセグメント・レジスタを有するものである。

第2図は本実施例のマイコン200で、前述した種々のセグメント・レジスタのうち1 Mバイト空間に対し有効なセグメント・レジスタをセグ

メント・レジスタA、16 Mバイト空間に対し有効なセグメント・レジスタをセグメント・レジスタB、256 Mバイト空間に対し有効なセグメント・レジスタをセグメント・レジスタCとする3種類を備えた場合を例として説明する。

ここで、第2図の構成を述べる。マイコン200の構成要素が実施例1と異なる点は、マイクロシーケンサ部140内のレジスタ選択部243が、PAU150内のセレクター254に出力する1本のセグメント・アドレス・セレクト信号の代わりに、セグメント・アドレスの選択情報をコード化したセグメント・アドレス・セレクト情報243-2(ここでは、3種類のセグメント・レジスタを有するとしているので、2ビットのコードとする)を出力する点である。

次に、本実施例におけるセグメント・オーバーライド・プリフィクス命令を付随したメモリ操作命令によるメモリ空間へのアクセスで、セグメント・レジスタAを使用した場合と、セグメント・レジスタBを使用した場合と、セグメント・レジスタCを使用した場合の処理動作を説明する。

なお、本実施例においては、セグメント・レジスタは16ビット、オフセット・アドレスは16ビット、物理アドレスは28ビットとして説明する。

まず、セグメント・レジスタAを使用した場合について、第2図、第6図、第11図を用いて説明する。

本実施例におけるセグメント・レジスタAを使用したメモリ空間へのアクセスの処理動作で従来例、実施例1の場合と異なる点は、レジスタ選択部243はレジスタ・ファイル130に対してレジスタ指定情報243-1を出力し、更に、PAU150内のセレクター254に対しセグメント・アドレス・セレクト情報243-2 = '00'を所定の期間出力し、PAU150における物理アドレスを生成する処理動作がこのセグメント・アドレス・セレクト情報243-2に基づいて行われるという点である。

以下に、PAU150の物理アドレスを生成す

る処理動作を述べる。

PAU150内のオフセット・アドレス・ラッチ151とセグメント・アドレス・ラッチ152は、従来例、実施例1と同様にそれぞれオフセット・アドレス、セグメント・アドレスをラッチする。

次に、セグメント・アドレス・ラッチ152にラッチされたセグメント・アドレスは、セレクター254に出力される。セレクター254では、第11図に示すようにセグメント・アドレス・セレクト情報243-2 = '00'がデコードされた結果に従い、セグメント・アドレスの上位に'00000000'(8ビット)を付加した24ビットの値(第11図の④)が選択されPA計算処理部153に出力される。これにより、PA計算処理部153は、マイクロプログラム制御部141から出力されるPA計算実行信号141-4に従い、セレクター254から出力される28ビットの内容と、オフセット・アドレス・ラッチ152から出力されるオフセット・アドレスとを第6図

に示すように4ビットずらして加算し物理アドレスを生成して、BCU110に対し出力する。

次に、セグメント・レジスタBを使用した場合について、第2図、第7図、第11図を用いて説明する。

本実施例におけるセグメント・レジスタBを使用したメモリ空間へのアクセスの処理動作でセグメント・レジスタAを使用した場合と異なる点は、以下の様な点である。

レジスタ選択部243は、セレクトー254に対してセグメント・アドレス・セレクト情報243-2 = '01' を出力する。これにより、セレクトー254では、第11図に示すようにセグメント・アドレスの上位に'0000' (4ビット)、下位に'0000' (4ビット)を付加した24ビットの値(第11図の㊸)が選択されPA計算処理部153に出力される。PA計算処理部153は、マイクロプログラム制御部141から出力されるPA計算実行信号141-4に従い、セレクトー254から出力される24ビットの内容と、

141-4に従い、セレクトー254から出力される24ビットの内容と、オフセット・アドレス・ラッチ152から出力されるオフセット・アドレスを第8図に示すように12ビットずらして加算し物理アドレスを生成して、BCU110に対し出力する。

ここでは、3種類のセグメント・レジスタを備えた場合を例にとり述べたが、複数種のセグメント・レジスタを備えた場合についても同様にアクセス可能なことは明らかである。

上述したように本実施例のマイコンは、1Mバイトのメモリ空間、16Mバイトのメモリ空間、256Mバイトのメモリ空間、…等の種々のサイズの異なるメモリ空間と、それぞれに対応したセグメント・レジスタ、セグメント・オーバーライド・プリフィクス命令を有する。

#### 〔発明の効果〕

上述したように、本発明によるマイコンは種々のサイズのメモリ空間と、それぞれに対応したセグメント・レジスタ及びセグメント・オーバーライ

ド・プリフィクス命令を有する。そして、PA計算におけるセグメント・アドレスとオフセット・アドレスを加算する際にずらすビット数は、プログラムにおいて、セグメント・オーバーライド・プリフィクス命令を使い分けることで変更可能である。これにより、プログラムにおいて種々のサイズのメモリ空間をアクセス可能となり、従来の小メモリ空間用に作成されたプログラムをそのまま使用することが可能で、またより大きいメモリ空間を操作するプログラムを追加して同時に実行することが可能である。

次に、セグメント・レジスタCを使用した場合について、第2図、第8図、第11図を用いて説明する。

本実施例におけるセグメント・レジスタCを使用したメモリ空間へのアクセスの処理動作でセグメント・レジスタCを使用した場合と異なる点は、以下の様な点である。

レジスタ選択部243は、セレクトー254に対してセグメント・アドレス・セレクト情報243-2 = '10' を出力する。これにより、セレクトー254では、第11図に示すようにセグメント・アドレスの上位に'00000000' (8ビット)を付加した24ビットの値(第11図の㊸)が選択されPA計算処理部153に出力される。PA計算処理部153は、マイクロプログラム制御部141から出力されるPA計算実行信号

ド・プリフィクス命令を有する。そして、PA計算におけるセグメント・アドレスとオフセット・アドレスを加算する際にずらすビット数は、プログラムにおいて、セグメント・オーバーライド・プリフィクス命令を使い分けることで変更可能である。これにより、プログラムにおいて種々のサイズのメモリ空間をアクセス可能となり、従来の小メモリ空間用に作成されたプログラムをそのまま使用することが可能で、またより大きいメモリ空間を操作するプログラムを追加して同時に実行することが可能である。

#### 4. 図面の簡単な説明

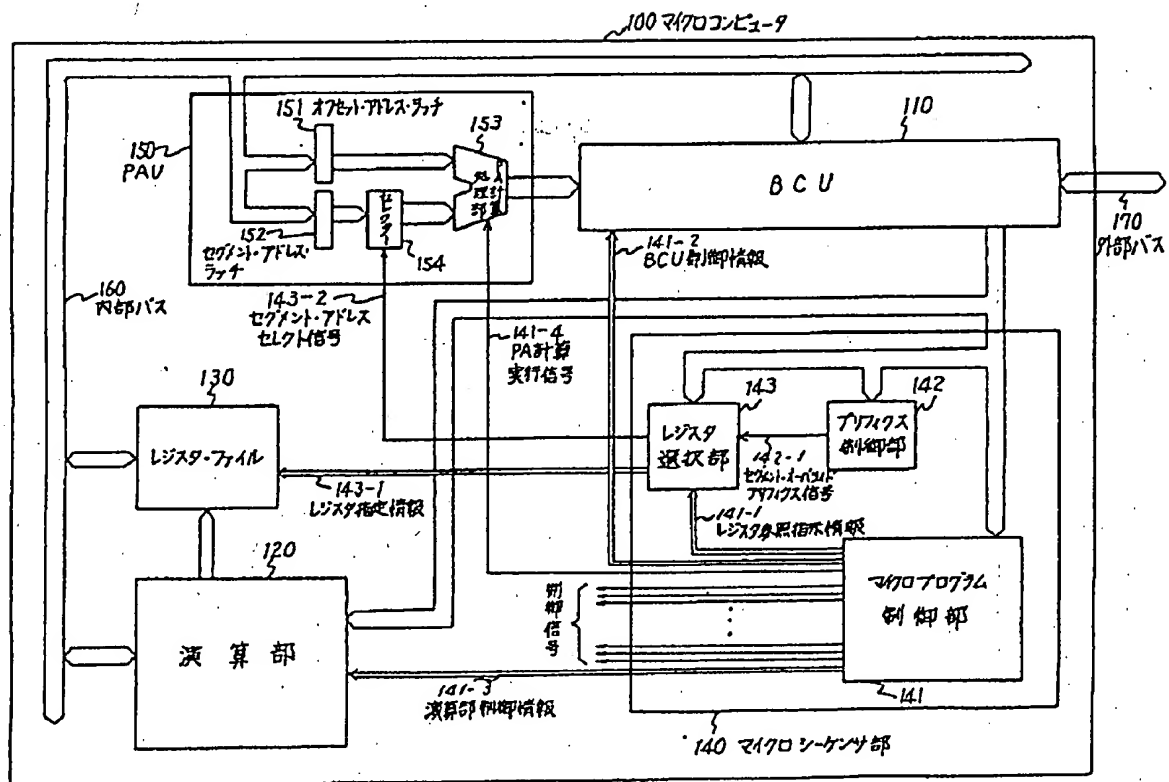
第1図は本発明の実施例1のブロック図、第2図は他の実施例2のブロック図、第3図は従来例のブロック図、第4図は上記一実施例の1Mバイト空間の物理アドレス計算方法図、第5図は従来例および一実施例の16Mバイト空間の物理アドレス計算方法図、第6図は他の実施例の1Mバイト空間の物理アドレス計算方法図、第7図は他の

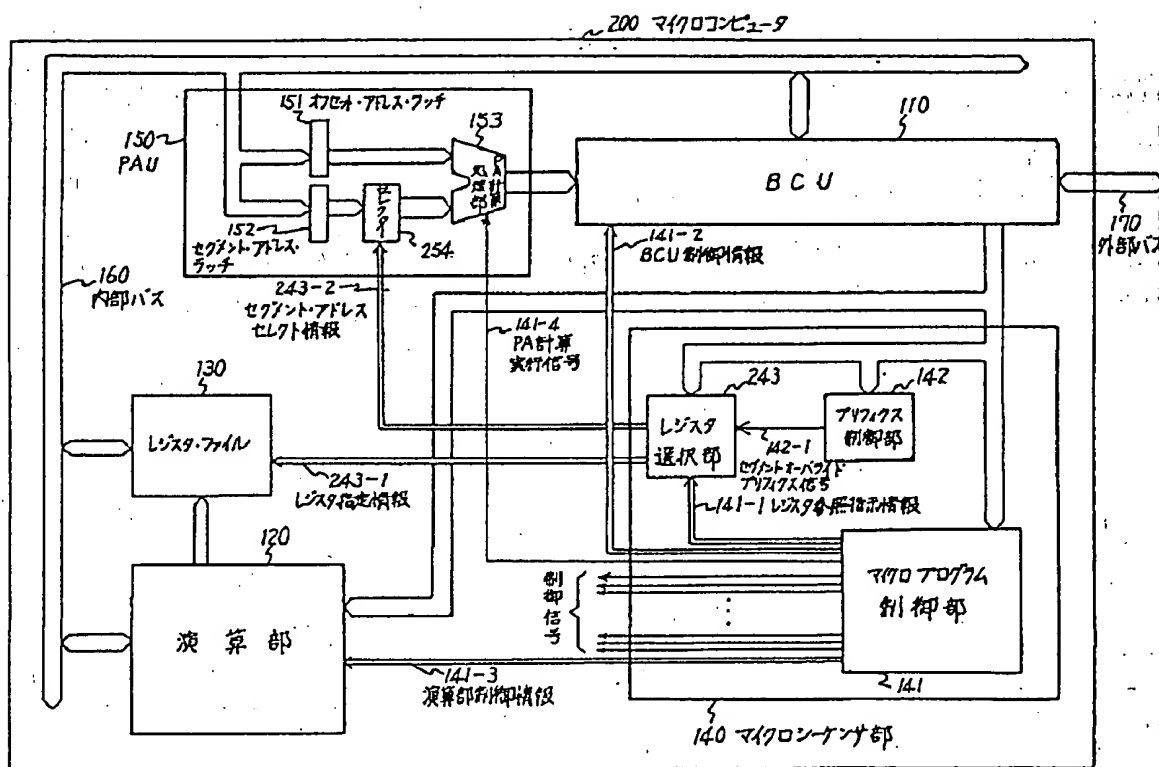
実施例の 16 Mバイト空間の物理アドレス計算方法図、第 8 図は他の実施例 2 の 256 Mバイト空間の物理アドレス計算方法図、第 9 図は従来例の 1 Mバイト空間の物理アドレス計算方法図、第 10 図は一実施例の物理アドレス計算の処理の流れ図、第 11 図は他の実施例の物理アドレス計算の処理の流れ図、第 12 図は従来例の物理アドレス計算の処理の流れ図である。

1 0 0, 2 0 0, 3 0 0 …… マイクロコン  
ピュータ、1 1 0 …… バス制御部 (B C U)、1 2 0  
…… 演算部、1 3 0 …… レジスタ・ファイル、  
1 4 0, 3 4 0 …… マイクロ・シーケンサ部、  
1 4 1 …… マイクロプログラム制御部、1 4 1-1  
…… レジスタ参照指示情報、1 4 1-2 …… バス  
制御部制御情報 (B C U 制御情報)、1 4 1-3  
…… 演算部制御情報、1 4 1-4 …… P A 計算実行  
信号、1 4 2 …… プリフィクス制御部、1 4 2-1  
…… セグメント・オーバーライド・プリフィクス信号、  
1 4 3, 2 4 3, 3 4 3 …… レジスタ選択部、  
1 4 3-1, 2 4 3-1, 3 4 3-1 …… レジス

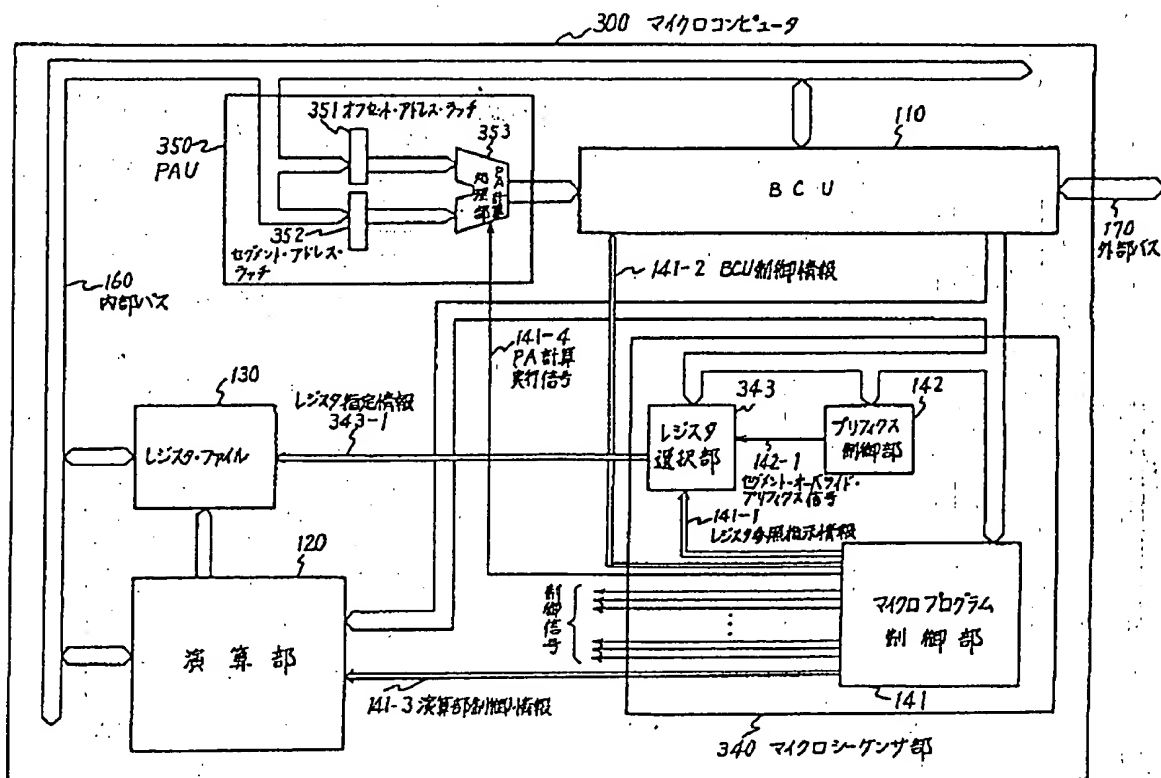
タ指定情報、143-2……セグメント・アドレス・セレクト信号、243-2……セグメント・アドレス・セレクト情報、150, 350……物理アドレス計算部(PAU)、151, 351……オフセット・アドレス・ラッチ、152, 352……セグメント・アドレス・ラッチ、153, 353……物理アドレス計算処理部(PA計算処理部)、154, 354……セレクター、160……内部バス、170……外部バス。

代理人 弁理士 内 原 晋

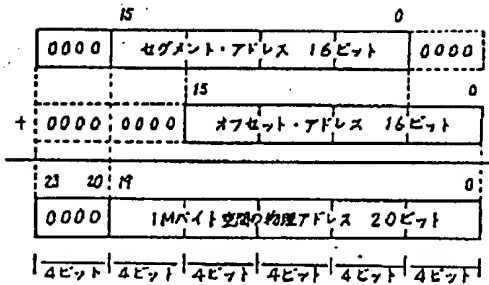




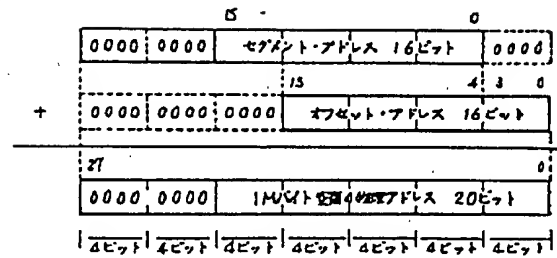
第2図



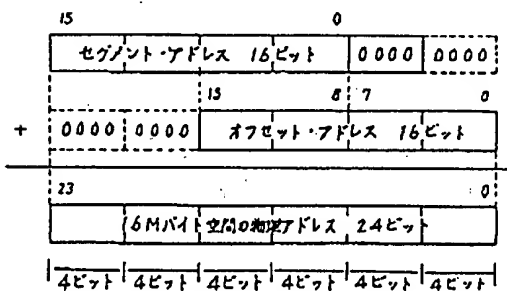
第3図



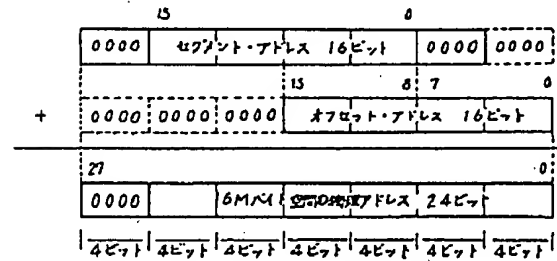
第4図



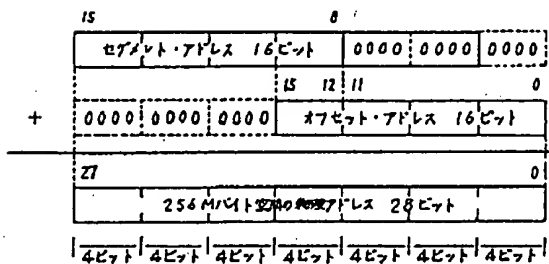
第6図



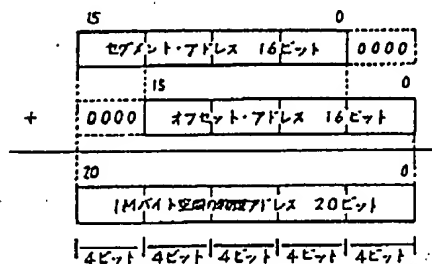
第5図



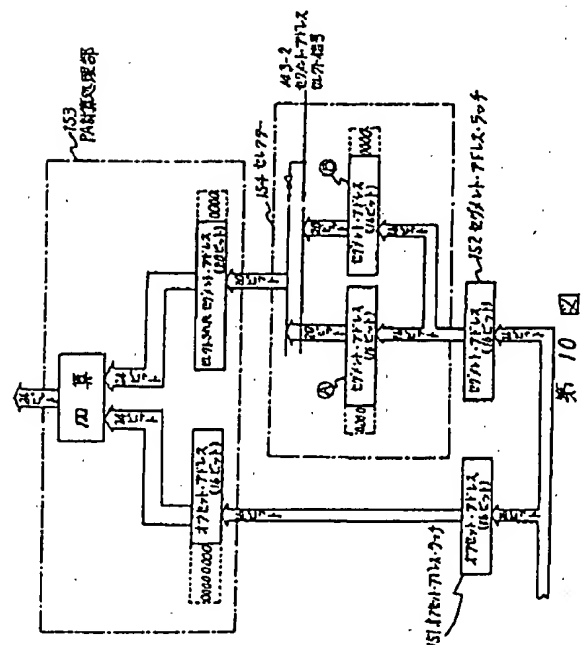
第7図



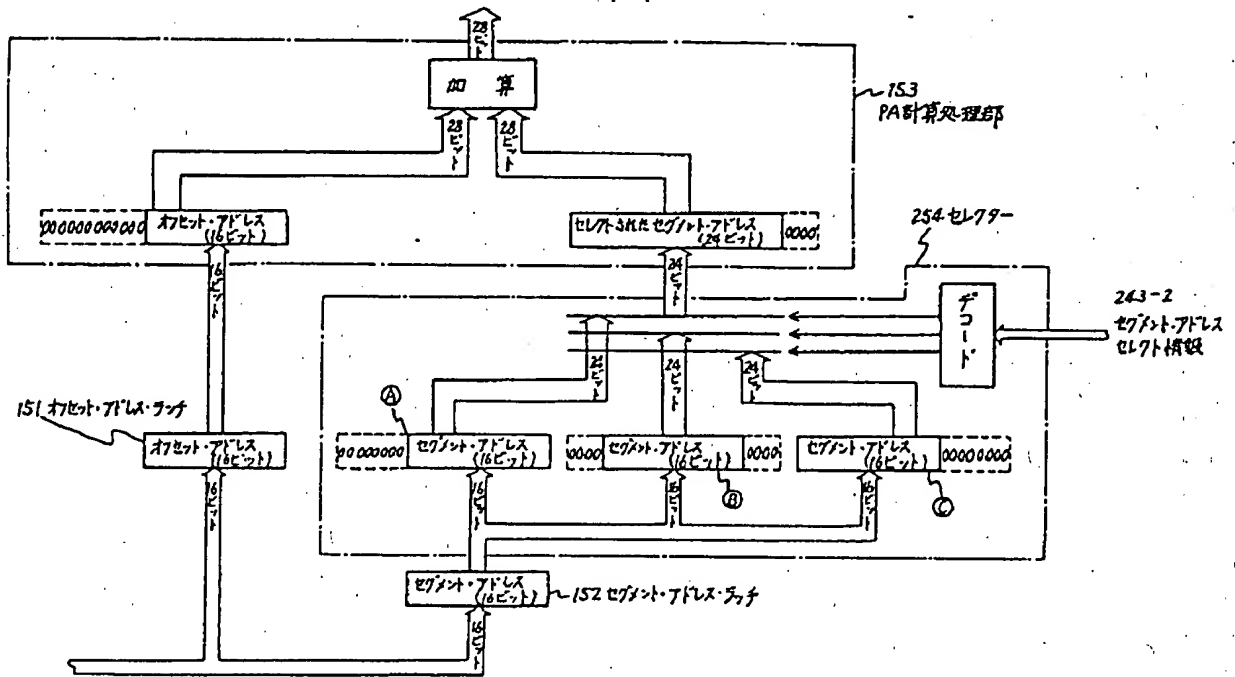
第8図



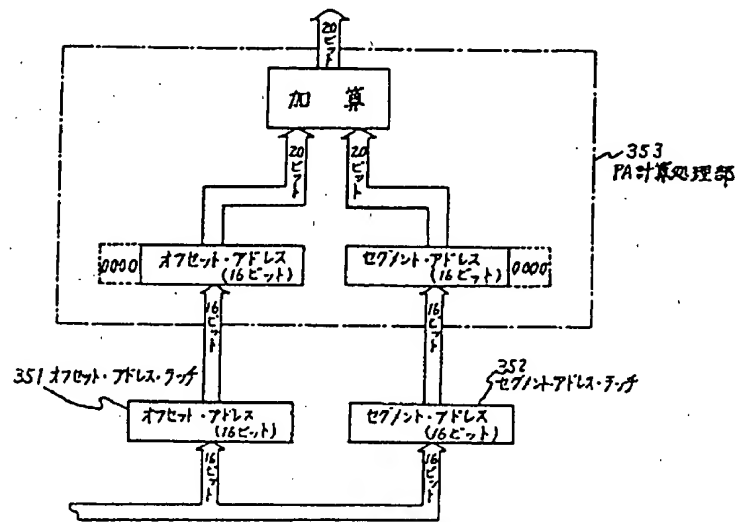
第9図



第10図



第 11 図



第 12 図

PARTIAL TRANSLATION

JAPANESE PATENT OFFICE

JAPANESE LAID-OPEN PATENT APPLICATION NO. 3-24820

November 6, 1991

5

MICROCOMPUTER

INDUSTRIAL APPLICATION

The present invention relates to a microcomputer employing a segment method for memory addressing.

PROBLEMS TO BE SOLVED

10

A microcomputer employing a conventional segment method generates a physical address by shifting the segment address and offset address for a predetermined number of bits. In so doing, the size of the maximum memory space is fixed, making the method inapplicable for a system demanding a larger memory space.

15

MEANS TO SOLVE THE PROBLEM

A microcomputer of the present invention is characterized in that it comprises:

qualification control means for outputting qualification control information when a decoded input instruction is a qualification instruction that includes a function to alter a part of a predetermined operation;

20

register control means for outputting register

specifying information to select a predetermined register upon  
detection of the control storage information, and for  
outputting shift information that provides an amount of bits  
by which the register value read out by the register  
specification information is shifted; and

address generating means for generating a memory address  
by adding one of the value contained in the instruction code  
or stored in a register specified by the instruction code and  
the value generated by an operation processing unit to the  
value shifted by the shift information.

#### EFFECT

The microcomputer of the present invention includes a  
memory spaces of a variety sizes, and corresponding segment  
registers and segment-override-prefix instructions. The number  
of bits to be shifted when adding the segment address and  
offset address in the PA computation can be changed by using  
the segment-override-prefix instructions separately in the  
program. By so doing, the memory spaces of various sizes can  
be accessed in the program. As a result, not only programs  
constructed for a conventional small memory, but also programs  
operating a larger memory space can be performed  
simultaneously.